

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-306992

(43)Date of publication of application : 02.11.2000

(51)Int.CI.

H01L 21/76

H01L 21/316

(21)Application number : 11-113103

(71)Applicant : NEC CORP

(22)Date of filing : 21.04.1999

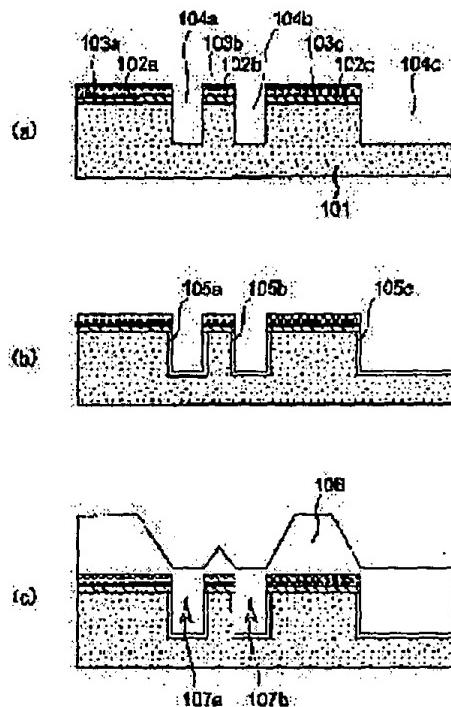
(72)Inventor : KISHIMOTO KOJI

## (54) FABRICATION OF SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device employing STI(shallow trench isolation) method so that no void is left even in a trench of micro width having a high aspect ratio and no damage is left on a silicon substrate.

SOLUTION: An Si rich silicon oxide film (SiO<sub>x</sub>Cy film, x<2) 106 containing carbon is deposited by a bias system high density plasma CVD method in trenches 104a-10c made on a silicon substrate 10 deeper than the depth of the trench. It is then heat treated in an oxidizing atmosphere in order to convert the Si rich silicon oxide film 106 into an SiO<sub>2</sub> film while extinguishing internal voids. Subsequently, it is planarized by CMP method. Since an Si rich silicon oxide film is employed, voids are extinguished, the SiO<sub>2</sub> film is protected against cracking due to contraction during oxidation and the Si substrate is protected against generation of defect due to expansion.



### LEGAL STATUS

[Date of request for examination] 24.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-306992

(P2000-306992A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl.  
H 01 L 21/76  
21/316

識別記号

F I  
H 01 L 21/76  
21/316

コード(参考)  
L 5 F 0 3 2  
X 5 F 0 5 8

審査請求 有 請求項の数 5 OL (全 6 頁)

(21)出願番号

特願平11-113103

(22)出願日

平成11年4月21日(1999.4.21)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岸本 光司

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74)代理人 100096231

弁理士 稲垣 清

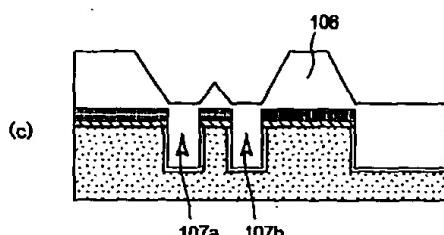
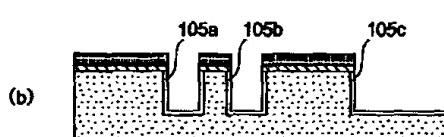
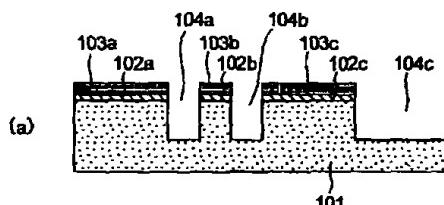
F ターム(参考) 5F032 AA35 AA44 AA45 AA77 DA04  
DA53 DA74  
5F058 BA02 BC02 BD04 BD06 BD18  
BF07 BF23 BF26 BF29 BF35  
BF62 BH11 BH20 BJ01 BJ06

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 微少幅で且つアスペクト比が高い溝にも、ボイドが残存することなく且つシリコン基板にダメージが残らないように、STI分離法を採用する半導体装置を製造する。

【解決手段】 シリコン基板101上に形成された溝104a～104c内に、バイアス系高密度プラズマCVD法により、炭素を含有したSiリッチなシリコン酸化膜(Si<sub>0</sub>xCy膜、X<2)106を溝の深さより厚く堆積する。次いで、酸化性の雰囲気で熱処理をして、Siリッチなシリコン酸化膜106を内部のボイドを消滅させつつSiO<sub>2</sub>膜に変化させる。その後、CMP法で平坦化する。Siリッチなシリコン酸化膜とすることにより、ボイドを消滅させ、酸化時の収縮によるSiO<sub>2</sub>膜のクラックや、膨張によるSi基板への欠陥発生を防止する。



## 【特許請求の範囲】

【請求項1】 半導体基板表面上に所望の深さの溝を形成する工程と、前記溝を含む半導体基板上に、炭素含有シリコンリッチなシリコン酸化膜 ( $\text{SiO}_x\text{Cy}$  膜 ( $x < 2$ )) を溝の深さより厚く堆積する工程と、前記炭素含有シリコンリッチなシリコン酸化膜を酸化性雰囲気中で熱処理して  $\text{SiO}_2$  膜に変化させる工程と、前記  $\text{SiO}_2$  膜を研磨する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記堆積工程は、前記半導体基板に高周波電力を印加しながら、高密度プラズマCVD法によって行われる、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記高密度プラズマCVD法は、シラン、メタン、酸素、アルゴンからなる反応ガスを用いる、請求項2に記載の半導体装置の製造方法。

【請求項4】 前記酸化性雰囲気は、酸素または水の少なくとも一方を含む、請求項1～3の何れかに記載の半導体装置の製造方法。

【請求項5】 前記溝形成工程は、前記半導体基板上にシリコン酸化膜及びシリコン窒化膜を順次に形成する工程と、該シリコン酸化膜及びシリコン窒化膜を選択的にエッティングする工程と、該エッティングされたシリコン酸化膜及びシリコン窒化をマスクとして前記半導体基板をエッティングする工程とを含む、請求項1～4の何れかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、半導体装置の素子分離用埋め込み絶縁膜の形成方法に関する。

## 【0002】

【従来の技術】 半導体装置の微細化・高集積化に伴い、素子間の分離方法として、従来用いられてきたLOCOS法に代わり、溝型素子間分離法、いわゆるシャロートレンチアイソレーション (STI) 法が用いられるようになってきた。STI法に関しては、1996年のVLSIテクノロジーシンポジウム予稿集156頁、又は、1996年のIEDMテクニカル予稿集841頁に掲載されている。この方法は、LOCOS法で問題となっているバーズピークなどの横方向の広がりが無く、設計どおりの微細な素子分離を可能としている。しかし、従来のLOCOS法によっても、基板シリコンを酸化することによって緻密で高純度なシリコン酸化膜が得られ、設計ルールがあまり厳密でない場合には、十分な素子間分離能力が得られ、現在も多用されている。STI法を採用する場合には、基板シリコン表面上に形成された溝にシリコン酸化膜を埋め込む際に、様々な問題点が発生している。

【0003】 特開平5-335290公報及び特開平5-335291公報には、STI技術に関する記載があ

る。これら公報に記載された方法では、シリコン基板に高周波電力を印加するバイアス系プラズマCVD法で埋め込み膜を形成している。特に、プラズマの発生方法として、電子サイクロトロン共鳴 (Electron Cyclotron Resonance : ECR) 法により高密度のプラズマを発生させてシリコン酸化膜を成膜している。バイアス系高密度プラズマCVD法で一般に用いられる原料ガスは、シラン ( $\text{SiH}_4$ ) と酸素 ( $\text{O}_2$ ) とアルゴン ( $\text{Ar}$ ) である。この方法は、基板に高周波電力を印加することで、アルゴンイオンによるスパッタエッティングレートが傾斜角度依存性を有し、且つ、斜形になった部分のスパッタ率が高いことを利用している。つまり、矩形状の角部に成膜されるシリコン酸化膜を、アルゴンイオンによるスパッタエッティングによって除去しつつ、微細な溝にシリコン酸化膜を埋め込む。

【0004】 上記公報の技術では、成膜と同時にスパッタエッティングが起こるため、スパッタエッティング成分に対する成膜成分 (gross) の比 [成膜成分/スパッタ成分] が小さいほど埋め込み性が増加する。しかし、成膜成分 (gross) からスパッタ成分を引いた正味 (net) の成膜速度は減少する。成膜成分 (gross) を減らす方法として、シラン流量を減少する方法等が挙げられる。スパッタエッティング成分を増加する方法として、基板の高周波電力を増加する方法等が挙げられる。どちらにしても比 [成膜成分/スパッタ成分] を小さくすることで、埋め込み性は向上する。

【0005】 シリコン酸化膜を成膜した後に、化学的機械研磨 (Chemical Mechanical Polishing : CMP) 法により、活性領域上のシリコン酸化膜を除去する。双方の公報とも、生産性を上げ、信頼性の高い基板表面平坦化プロセスで半導体装置を形成するために、シリコン酸化膜を埋め込んだ後であって、CMPを行う前に特定の工程を追加している。しかし、酸化膜成膜時に用いられているECR-CVD装置は、プラズマソース源が大きいために、装置自体が巨大化するという欠点がある。このため、ECRプラズマ源に代わるソース源として、誘導結合型プラズマ (Inductively Coupled Plasma : ICP) やヘリコン波励起型プラズマが注目され、実際に、金属配線上の層間絶縁膜の形成装置として実用化されている。原料等はECRプラズマCVD法と変わらず、シリコン、酸素、アルゴンを用いている。なお、化学量論的に  $\text{SiO}_2$  のシリコン酸化膜を得るためにには、流量比  $\text{O}_2/\text{SiH}_4$  を約1.4より大きくしなければならない。約1.4より小さいと、化学量論的シリコンリッチなシリコン酸化膜 ( $\text{SiO}_x, x < 2$ ) となる。

【0006】 図4(a) 及び(b) は夫々、バイアス系高密度プラズマCVD法を採用した半導体装置の製造工程を工程順に示す断面図である。シリコン基板401上に熱酸化法によりシリコン酸化膜402を形成し、その上に、シリコン窒化膜403を形成する。次に、フォト

レジスト技術とドライエッチング技術とを用いて、シリコン塗化膜403、シリコン酸化膜402、及び、シリコン基板401を選択的にエッチングして、溝(トレチ)404a～404cを形成する。溝を形成した後にフォトレジストを除去し、図4(a)に示す構造を得る。次に、バイアス系高密度プラズマCVD法を用いて、図4(b)に示すように、シリコン酸化膜405を溝404a～404cに埋め込み、かつシリコン基板401の全面に形成する。この成膜では、SiH<sub>4</sub>、O<sub>2</sub>、Arを原料として、流量比をO<sub>2</sub>/SiH<sub>4</sub>>1.5とすることで、化学量論的にSiO<sub>2</sub>膜にする。次に、化学的機械研磨(Chemical Mechanical Polishing: CMP)法によりシリコン酸化膜405を研磨、平坦化する。

## 【0007】

【発明が解決しようとする課題】上記従来の技術では、図4(b)に示すように、シリコン酸化膜405を成膜した後には、微細幅でアスペクト比が高い溝の中にポイド406a、406bが形成されるという問題がある。これらのポイド406a、406bは、その後の半導体装置の製造工程を経ても無くなることはなく、半導体装置の性能に悪影響を与えることがある。つまり、これらポイドは、シリコン酸化膜405を、基板に高周波パワーを印加する高密度プラズマCVD法で形成することによって、特に、成膜成分(gross)に対するスパッタエッチング成分が小さいときに発生する。開口幅が0.25μm以下、且つ、アスペクト比が1.5以上の溝でポイドの発生は顕著となる。さらに、リン等の不純物を含有しないシリコン酸化膜は、ガラス軟化温度が非常に高いために、窒素中で1000°Cの熱処理を加えてもフローはせず、一旦発生したポイド406a、406bは消滅しない。

【0008】また、従来技術では、図5に示すように、ポイドを無くすように酸化膜の埋め込み性を向上させると、トレチの角部で、下地のシリコン塗化膜503a～503cや、シリコン酸化膜502a～502c、シリコン基板501がスパッタエッチングされ、ダメージ506a～506eが形成される。このプラズマダメージは、基板に高周波電力を印加する高密度プラズマCVD法では、物理的なスパッタ効果のために発生するものである。比[成膜成分/スパッタ成分]が小さくなると、埋め込み性は改善されるものの、プラズマダメージは顕著になる。なお、この時、正味(net)の成膜速度は減少する。

【0009】本発明は、上記従来技術の欠点に鑑み、高集積半導体装置を製造するための素子間分離用のシャロートレンチアイソレーション(STI)の形成方法を改良し、下地シリコン基板にダメージを及ぼさず、且つ、微細幅で且つ高いアスペクト比を有する溝内にも、ポイドがなく良好なシリコン酸化膜を有するSTIを形成できる、半導体装置の製造方法を提供することを目的とする。

## 【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置の製造方法は、半導体基板表面上に所望の深さの溝を形成する工程と、前記溝を含む半導体基板上に、炭素含有シリコンリッチなシリコン酸化膜(SiO<sub>x</sub>Cy膜(x<2))を溝の深さより厚く堆積する工程と、前記炭素含有シリコンリッチなシリコン酸化膜を酸化性雰囲気中で熱処理してSiO<sub>2</sub>膜に変化させる工程と、前記SiO<sub>2</sub>膜を研磨する工程とを有することを特徴とする。

【0011】本発明の半導体装置の製造方法によると、炭素含有シリコンリッチなシリコン酸化膜が、その後の熱処理によってSiO<sub>2</sub>に変化する際に、溝内に形成されたポイドを消滅させてるので、ポイドが形成されるような比較的大きな比[成膜成分/スパッタ成分]が採用できるので、基板等に生ずるスパッタダメージが軽減できる。

【0012】ここで、前記堆積工程は、前記半導体基板に高周波電力を印加しながら、高密度プラズマCVD法によって行なうことが好ましい。また、この高密度プラズマCVD法は、シラン、メタン、酸素、アルゴンからなる反応ガスを用いることも本発明の好ましい態様である。メタンに代えてアセチレンを用いることもできる。更に、前記酸化性雰囲気は、酸素または水の少なくとも一方を含むことが好ましい。

【0013】前記溝形成工程は、前記半導体基板上にシリコン酸化膜及びシリコン塗化膜を順次に形成する工程と、該シリコン酸化膜及びシリコン塗化膜を選択的にエッチングする工程と、該エッチングされたシリコン酸化膜及びシリコン塗化をマスクとして前記半導体基板をエッチングする工程とを含むことが出来る。

## 【0014】

【発明の実施の形態】以下、図面を参照し、本発明の実施形態例に基づいて本発明を更に詳細に説明する。図3は、本発明の半導体装置の製造方法に用いられる誘導結合型プラズマCVD装置の模式断面図である。アルミナ(Al<sub>2</sub>O<sub>3</sub>)製のベルジャー304の側壁及び上部には、誘導コイル303a及び303bが夫々設置されている。誘導コイル303a及び303bには、高周波電源308a及び308bから夫々高周波電力が印加され、これら2つの高周波電力でプラズマを発生させる。高周波電源308a及び308bは、約2.0MHzの周波数で作動し、電源自身が周波数変化をすると共に、自動マッチングボックス301a及び301bで、プラズマとマッチングをとる。ペデスタル307には、13.56MHzの高周波の高周波電源309が印加され、この高周波が比処理基板306に印加される。被処理基板306は、表面がセラミックでコーティングされたペデスタル307によって静電吸着されている。ペデスタルの内部(図示せず)には冷却液を循環し、被処理基板306の裏面とペデスタル307の表面との間にヘリウム(He)を充填し、

このヘリウムの圧力を制御することで、成膜温度を制御している。被処理基板306は8インチである。

【0015】図1(a)～(c)及び図2(d)～(f)は、本発明の一実施形態例の半導体装置の製造方法の各工程段階毎の断面を順次に示している。まず、図1(a)に示すように、シリコン基板101の表面に、ウェット酸化法により、シリコン酸化膜を約20nm厚さに形成した後に、熱CVD法により全面にシリコン塗化膜を約150nm堆積する。次いで、フォトリソグラフィー技術及びドライエッチング技術を用いて、シリコン塗化膜及びシリコン酸化膜、シリコン基板101を順次に選択的にエッチングし、溝を形成すべき位置のシリコン酸化膜及びシリコン塗化膜を除去する。フォトレジストを除去すると、同図に示すように、シリコン基板101の表面上に順次に形成されたシリコン酸化膜102a～102c及びシリコン塗化膜103a～103cと、これらシリコン酸化膜及びシリコン塗化膜によってバーニング形成された溝104a～104cが得られる。溝の最小開口幅は約0.25μmで、その深さは約0.5μmである。

【0016】次に、図1(b)に示すように、約1100°Cの基板温度で、ドライ酸化法を用いて、約40nm厚みのシリコン酸化膜105a～105cを、溝(トレンチ)104a～104cの内部に夫々形成する。なお、熱酸化法によるシリコン酸化膜の形成に代えて、ジクロロシラン(SiCl<sub>2</sub>H<sub>2</sub>)及び一酸化二窒素(N<sub>2</sub>O)を原料とした熱CVD法を用いてもよい。この熱CVD法は、約900°C程度の基板温度で且つ減圧下で行う。

【0017】次に、図1(c)に示すように、図3に示したバイアス系高密度プラズマCVD装置を用いて、炭素(C)を含有したSiリッチなシリコン酸化膜(SiO<sub>x</sub>Cy膜、X<2)106を基板の全面に堆積する。基板に高周波電力を印加することで、各トレンチの側壁上部のSiO<sub>x</sub>Cy膜106の部分が斜めにスパッタエッチングされ、シリコン塗化膜103a、103b、103c上部のSiO<sub>x</sub>Cy膜106は、トレンチ側壁の略直上が斜面の底部となるような畠山形状になる。このプラズマCVDでは、幅が小さなトレンチ104a、104b内には、小さなボイド107a、107bが形成される。SiO<sub>x</sub>Cy膜106の形成条件として、例えば、約50sccmのシラン(SiH<sub>4</sub>)と、約50sccmのメタン(CH<sub>4</sub>)と、約50sccmの酸素(O<sub>2</sub>)と、約100sccmのアルゴン(Ar)とを、図3のガス導入口312よりチャンバー305内に導入し、チャンバー内圧力を約6Torrにする。

【0018】冷却水の温度と裏面ヘリウム圧力を調節し、成膜温度を約400°Cとする。誘導コイル303a、303bに印加する高周波電力として、夫々、約3000W及び約1500Wを供給し、ペデスタル307には約2000Wの高周波電力を印加した。この段階で、流量比O<sub>2</sub>/(SiH<sub>4</sub>+C<sub>2</sub>H<sub>2</sub>)<1.3にすると、SiO<sub>x</sub>Cy膜106は、SiO<sub>x</sub>Cy膜(X<

2)となる。ここで、重要なのは、ボイド107a、107bが形成されても、下地にダメージが入らないように、比[(成膜成分)/(スパッタ成分)]を大きくとることである。

【0019】次に、図2(d)に示すように、約850°C程度の酸素雰囲気中で、約30分間の熱処理を行い、SiO<sub>x</sub>Cy膜106に流動性を起こさせ、ボイド107a、107bを消滅させる。この段階で、膜中の炭素は、一酸化炭素(CO)及び二酸化炭素(CO<sub>2</sub>)として抜け、SiO<sub>x</sub>Cy膜106が化学量論的なSiO<sub>2</sub>膜108にコンバージョンされる。なお、酸素(O<sub>2</sub>)を含む酸化性雰囲気に代えて、約700°C程度の水蒸気(H<sub>2</sub>O)を含む酸化性雰囲気、又は、双方を含む雰囲気中で上記熱処理を行っても同様な結果が得られる。これら雰囲気中では、比較的低温のために、下地のシリコン基板101が酸化されることがない。また、Siリッチであるため、シリコンの酸化による体積膨張が、ボイドの体積分と抜けた炭素の体積分とによって相殺されるため、体積膨張は実質的に生じない。これにより、応力による基板欠陥の発生も抑制できる。

【0020】次に、図2(e)に示すように、化学的機械研磨(CMP)法を用いて、シリコン酸化膜108の上部を除去し、溝105a～105c内に埋め込まれたシリコン酸化膜109aから109cを残す。

【0021】最後に、図2(f)に示すように、シリコン塗化膜103a、103b、103cと、シリコン酸化膜102a、102b、102cをウェットエッチング法によって除去する。

【0022】上記実施形態例によれば、下地にダメージが入らないように比[(成膜成分)/(スパッタ成分)]を大きくとることにより、下地のシリコン酸化膜102a、102b、102c、シリコン塗化膜103a、103b、103cは、スパッタエッチングされず、従つて、シリコン基板101へのダメージは殆どない。

【0023】また、ボイドが存在しても、酸化性熱処理でSiO<sub>x</sub>Cy膜は流動性を帯び、ボイドは無くなる。この段階で、膜中の炭素は一酸化炭素(CO)及び二酸化炭素(CO<sub>2</sub>)として抜け、結合の再配列が起きる。最終的には、化学量論的なSiO<sub>2</sub>膜にコンバージョンされ、通常のSTIプロセスを利用できる。

【0024】更に、Siリッチなシリコン酸化膜を形成したので、シリコンの酸化による体積膨張がボイドの体積分と抜けた炭素の体積分とで相殺されるため、酸化時の収縮によるSiO<sub>2</sub>膜のクラックや、膨張によるSi基板への欠陥発生が防止できる。

【0025】なお、上記実施形態例では、メタンを用いた例を示したが、メタン(CH<sub>4</sub>)に代えて、アセチレン(C<sub>2</sub>H<sub>2</sub>)を用いても良い。アセチレンを用いる場合には、上記の例におけるSiH<sub>4</sub>とCH<sub>4</sub>の流量比1:1に代えて、SiH<sub>4</sub>とC<sub>2</sub>H<sub>2</sub>の流量比を2:1とする。これによって、同様

な組成比の炭素を含有したSiリッチなシリコン酸化膜(Si<sub>0.8</sub>C<sub>0.2</sub>膜、X<2)が得られる。但し、この場合、水素(H<sub>2</sub>)の量が減少するので、酸素(O<sub>2</sub>)の流量を若干減らすことが好ましい。

【0026】また、本発明で用いる原料は、炭素を含有したSiリッチなシリコン酸化膜が得られる原料ならば、どのような原料でも良い。高密度プラズマでは、ガスの分解効率が良いために、どのようなガスでも実質的に分解・成膜が可能だからである。なお、この原料は気体であることが望ましい。

【0027】以上、本発明をその好適な実施形態に基づいて説明したが、本発明の半導体装置の製造方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したものも、本発明の範囲に含まれる。

【0028】

【発明の効果】以上、説明したように、本発明の半導体装置の製造方法によると、プラズマCVD法を採用し、シリコンリッチなシリコン酸化膜によって溝を埋め込む構成を採用したことにより、成膜成分とスパッタ成分との比を大きく取った高密度プラズマCVD法を採用しても、その後の熱処理によって溝内のポイドを消滅又は小さくできるので、実質的に溝内にポイドが残ることなく、且つ、シリコン基板のプラズマダメージが抑制できる高性能な半導体装置を製造できる。

【図面の簡単な説明】

【図1】(a)～(c)は夫々、本発明の一実施形態例の半導体装置の製造方法における工程を順次に示す半導体装置の断面図。

【図2】(d)～(f)は夫々、図1に後続する工程を 30

順次に示す半導体装置の断面図。

【図3】図1の半導体装置の製造方法で用いられる誘導結合型高密度プラズマCVD装置の模式的断面図。

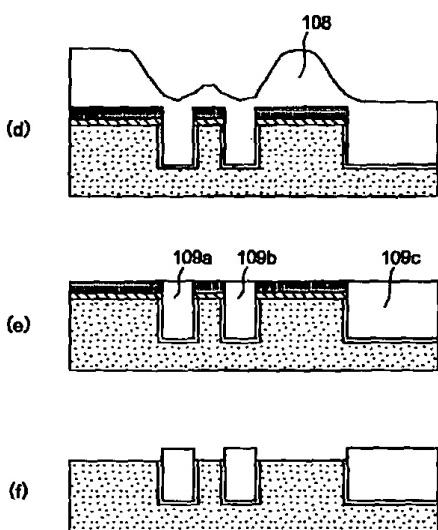
【図4】(a)及び(b)は夫々、従来の半導体装置の製造方法における工程を順次に示す半導体装置の断面図。

【図5】従来の半導体装置の製造方法における別の状況を示すための半導体装置の断面図。

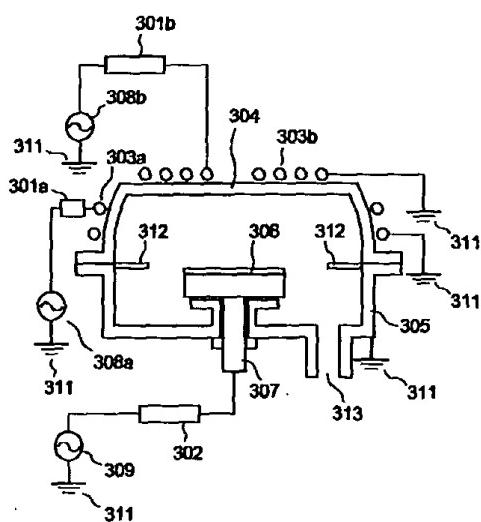
【符号の説明】

- 10 101:シリコン基板、102a-12c:シリコン酸化膜、103a-13c:シリコン窒化膜、104a-104c:溝(トレチ)、105a-1c:シリコン酸化膜、106:炭素含有シリコン膜、107a-107b:ポイド、108:シリコン酸化膜、109a-109c:シリコン酸化膜、301a, 301b:自動マッチングボックス 302:自動マッチングボックス 303a, 303b:誘導コイル 304:ベルジャー 305:チャンバー 306:被処理基板 307:ペデスタル 308a, 308b:高周波電源 309:高周波電源 311:接地点 312:ガス導入口 313:真空排気口
- 20 401:シリコン基板、402a-402c:シリコン酸化膜、403a-403c:シリコン窒化膜、404a-404c:溝、405:シリコン酸化膜、406a-406b:ポイド、501:シリコン基板、502a-502c:シリコン酸化膜、503a-503c:シリコン窒化膜、504a-504c:溝、505:シリコン酸化膜、506a-506e:ダメージ

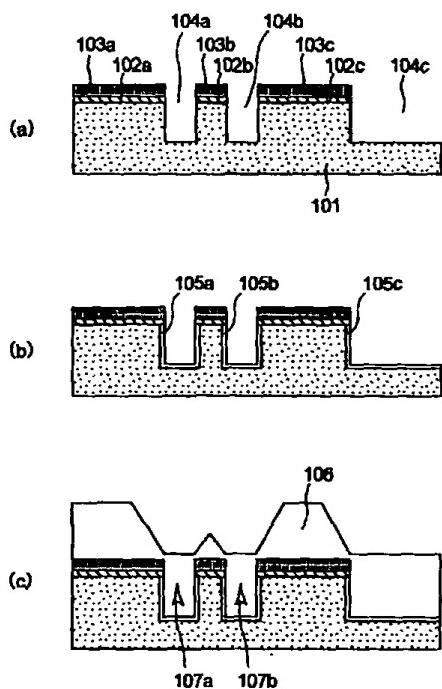
【図2】



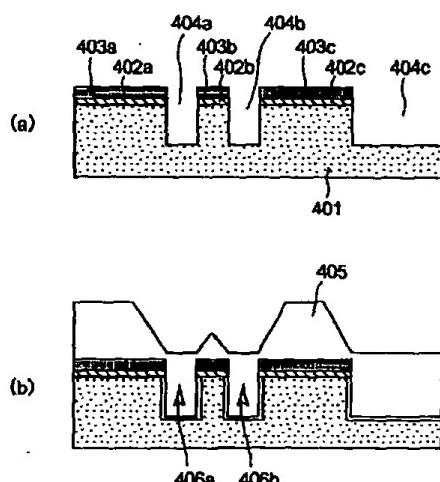
【図3】



【図1】



【図4】



【図5】

